

CLIPPEDIMAGE= JP411251531A  
PAT-NO: JP411251531A  
DOCUMENT-IDENTIFIER: JP 11251531 A  
TITLE: SEMICONDUCTOR DEVICE LAYOUT STRUCTURE

PUBN-DATE: September 17, 1999

INVENTOR-INFORMATION:

|               |         |
|---------------|---------|
| NAME          | COUNTRY |
| SONG, HO-SUNG | N/A     |
| LEE, KI-JONG  | N/A     |

ASSIGNEE-INFORMATION:

|                            |         |
|----------------------------|---------|
| NAME                       | COUNTRY |
| SAMSUNG ELECTRONICS CO LTD | N/A     |

APPL-NO: JP10349136

APPL-DATE: December 8, 1998

INT-CL (IPC): H01L027/04; H01L021/822 ; H01L021/301 ; H01L021/82 ; H01L021/3205  
; H01L027/108 ; H01L021/8242

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a layout structure of a semiconductor device which is capable of reducing the number of pads in a chip.

SOLUTION: This layout structure of a semiconductor device contains a plurality of chip regions formed on a wafer, a plurality of scribe line regions 100 formed on the wafer, bonding pads 26 formed on the respective chip regions, and dummy pads 20, 28 which are formed on the scribe line regions 100, corresponding to the respective chip regions. In such a structure, by forming the dummy pads 20, 28 which correspond to the respective chips in the scribe line regions 100 which are to be cut in a step of a package, the number of pads arranged in a chip can be reduced.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-251531

(43)公開日 平成11年(1999)9月17日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/04

H 0 1 L 27/04

A

21/822

21/78

L

21/301

21/82

P

21/82

21/88

T

21/3205

27/10

6 8 1 E

審査請求 未請求 請求項の数11 OL (全 6 頁) 最終頁に続く

(21)出願番号 特願平10-349136

(22)出願日 平成10年(1998)12月8日

(31)優先権主張番号 1 9 9 7 8 1 0 0 4

(32)優先日 1997年12月31日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 宋 浩聖

大韓民国京畿道水原市九雲洞 (番地なし)

江南エーピーティ7-402

(72)発明者 李 ▲キ▼鍾

大韓民国ソウル市城北區寶門洞1街35番地

(4層)

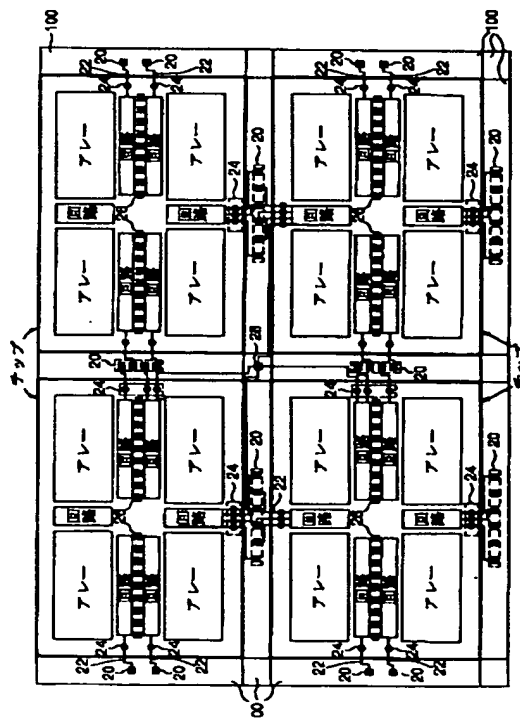
(74)代理人 弁理士 志賀 正武 (外1名)

(54)【発明の名称】 半導体装置レイアウト構造

(57)【要約】

【課題】 チップ内で配列されるパッドの数を減少させることができる半導体装置のレイアウト構造を提供する。

【解決手段】 半導体装置のレイアウト構造において、ウェーハ18上に形成される複数のチップ領域12と、ウェーハ18上に形成される複数のスクライブライン領域100と、チップ領域12の各々に形成されるボンディングパッド26及び、チップ領域12に各々対応して、スクライブライン領域100に形成されるダミーパッド20、28を含む。



## 【特許請求の範囲】

【請求項1】 半導体装置のレイアウト構造において、ウェーハ上に形成される複数のチップ領域と、前記ウェーハ上に形成される複数のスクライブライン領域と、前記チップ領域各々に形成されるボンディングパッド及び、前記チップ領域に各々対応して、前記スクライブライン領域に形成されるダミーパッドを含むことを特徴とする半導体装置のレイアウト構造。

【請求項2】 半導体装置のレイアウト構造において、ウェーハ上に所定の間隔をおいて、複数のチップが形成されるチップ領域と、前記チップ各々は複数の他の内部電圧を発生する回路を具備し、前記チップ領域各々に形成される複数のボンディングパッドと、前記チップ各々に対応して前記チップ各々の他の内部電圧を測定するための複数のダミーパッド及び、前記チップ各々に対応する前記パッドと前記他の内部電圧を発生する回路を電気的に連結する複数の導電線を含み、前記パッドは前記チップ領域の間の前記ウェーハ上に形成されることを特徴とする半導体装置のレイアウト構造。

【請求項3】 前記チップ領域が各々分離された後、前記導電線が前記各チップ領域のエッジで相互電氣的に連結される時、前記連結された導電線を電気的に分離するための分離手段をさらに含むことを特徴とする請求項2に記載の半導体装置のレイアウト構造。

【請求項4】 前記分離手段は複数のヒューズを含むが、前記ヒューズは各々対応する前記ダミーパッド及び前記回路の間の対応するチップ領域に配列されることを特徴とする請求項3に記載の半導体装置のレイアウト構造。

【請求項5】 前記ダミーパッドは前記チップ領域が分離される時、切られることを特徴とする請求項2に記載の半導体装置のレイアウト構造。

【請求項6】 半導体装置のレイアウト構造において、ウェーハ上に所定の間隔をおいて、複数のチップが形成されるチップ領域と、前記チップ領域各々に形成される複数のボンディングパッドと、前記ウェーハ上に形成される複数のスクライブライン領域と、前記チップのテスト動作する時、テスト信号を提供するための複数のダミーパッド及び、前記チップとそれに対応するダミーパッドを電気的に連結する複数の導電線を含み、前記ダミーパッドは前記スクライブライン領域で形成さ

れることを特徴とする半導体装置のレイアウト構造。

【請求項7】 前記チップ領域が各々分離された後、前記導電線が前記各チップ領域のエッジで相互電氣的に連結される時、前記連結された導電線を電気的に分離するための分離手段を付加的に含むが、前記分離手段は各々対応する前記ダミーパッド及び前記回路間の対応するチップ領域に配列される複数のヒューズから構成されることを特徴とする請求項6に記載の半導体装置のレイアウト構造。

10 【請求項8】 前記テスト動作する時、前記テスト信号のうち、前記チップに共通に提供される少なくとも一つのテスト信号は前記ダミーパッドのうち、一つのパッドを通じて隣接するチップに共通で提供されることを特徴とする請求項6に記載の半導体装置のレイアウト構造。

【請求項9】 半導体装置のレイアウト構造において、ウェーハ上に複数のチップが形成されるチップ領域と、前記チップ各々は複数の他の内部電圧を発生する回路とを具備し、前記ウェーハ上に形成される複数のスクライブライン領域と、前記スクライブライン領域に各々形成され、前記チップ各々の他の内部電圧を測定するための第1のダミーパッドと、前記スクライブライン領域に各々形成され、前記チップのテスト動作する時、テスト信号を提供するための第2のダミーパッド及び、前記チップ各々に対応する第1のダミーパッドと前記他の内部電圧を発生する回路を電気的に連結し、かつ、前記チップとそれに対応する第2のダミーパッドを電気的に連結する複数の導電線を含むことを特徴とする半導体装置のレイアウト構造。

【請求項10】 前記チップ領域が各々分離された後、前記導電線が前記各チップ領域のエッジで相互電氣的に連結される時、前記連結された導電線を電気的に分離するための分離手段を付加的に含む、前記分離手段は各々対応するダミーパッド及び前記回路の間の対応するチップ領域に配列される複数のヒューズから構成されることを特徴とする請求項9に記載の半導体装置のレイアウト構造。

40 【請求項11】 前記テスト動作する時、前記テスト信号中、前記チップに共通で提供される少なくとも一つのテスト信号は前記第2のダミーパッド中、一つのパッドを通じて引接するチップに共通で提供されることを特徴とする請求項9に記載の半導体装置のレイアウト構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関するものであり、より詳しくはチップ内に配列されるパッド数を減少させるための半導体装置とレイアウトに関するものである。

## 【0002】

【従来の技術】最近、システムの高速度化、低電力化及び小型化の趨勢によりシステム内部に実装される部品も小型化されている。半導体集積回路において、高速度動作、電力節減及び生産性増大が可能なようにチップサイズを最大限に縮小しようとする研究が続けて進行されているし、又、継続的な研究が進行されなければならない分野である。

【0003】チップサイズを減少させるための方法はメモリ装置のセルサイズを最小化させたり、半導体装置及びメモリ装置の制御回路の数を最適に減少させることである。

【0004】メモリ装置を含んだ半導体装置は、よく知られているように、複数のパッド(pad)を持つ。パッドは二つの種類で分離される。一つはパッケージレベルからパッケージ(package)のピンと導線(wire)を通じて連結され、ボンディングパッド(bonding pad)あるいはボンドパッド(bond pad)と称される。他の一つは、パッケージレベルでパッケージのピンと連結されず、ダミーパッド(dummy pad)と称される。ダミーセルは、通常、チップ内のDCレベルを測定し、かつ、テスト動作する時、テスト信号を直接に提供するために使われる。

【0005】図1はチップサイズの縮小によるダミーパッド及びボンディングパッドの配列を示す図面である。そして、図2はダミーパッド及びボンディングパッドがチップの中央部分に配列される時の、チップサイズの縮小によるパッドの配列を示す図面である。

【0006】一つのチップ内に提供されるパッド(ボンディングパッド及びダミーパッド)間のピッチ(例えば、約 $20\mu\text{m}$ )及びその大きさ(例えば、約 $150\mu\text{m}\times 150\mu\text{m}$ )は、それ以上減少されることができない。一方、メモリ装置の入出力構造及びその容量増加によりパッドの数は増加する傾向にある。

【0007】前に説明した方法によりチップサイズが縮小されることが出来る反面、パッド(ボンディングパッド及びダミーパッド)の数は定められているので、図1及び図2に示されるように、実質的にチップサイズを減少させることができない。それで、パッドは、チップサイズの縮小に対する制限要因として作用することがわかる。

## 【0008】

【発明が解決しようとする課題】本発明の目的はチップ内で配列されるパッドの数を減少させることができる半導体装置のレイアウト構造を提供することである。

## 【0009】

【課題を解決するための手段】上述したような目的を達成するための本発明の一つの特徴によると、半導体装置のレイアウト構造において、ウェーハ上に形成される複数のチップ領域と、ウェーハ上に形成される複数のスク

ライブライン領域と、チップ領域各々に形成されるボンディングパッド及び、チップ領域に各々対応して、スクライブライン領域に形成されるダミーパッドを含むことを特徴とする。

【0010】本発明の他の特徴によると、半導体装置のレイアウト構造において、ウェーハ上に所定の間隔において、複数のチップが形成されるチップ領域と、チップ各々は複数の他の内部電圧を発生する回路を具備し、チップ領域各々に形成される複数のボンディングパッドと、チップ各々に対応してチップ各々の他の内部電圧を測定するための複数のダミーパッド及び、チップ各々に対応するパッドと他の内部電圧を発生する回路を電気的に連結する複数の導電線を含むが、パッドはチップ領域の間のウェーハ上に形成されることを特徴とする。

【0011】この実施の形態において、チップ領域が各々分離された後、導電線が各チップ領域のエッジで相互電気的に連結される時、連結された導電線を電気的に分離するための分離手段を付加的に含むことを特徴とする。

【0012】この実施の形態において、分離手段は複数のヒューズを含むが、ヒューズは各々対応するダミーパッド及び回路の間の対応するチップ領域に配列されることを特徴とする。

【0013】この実施の形態において、ダミーパッドはチップ領域が分離される時、切られることを特徴とする。

【0014】本発明の他の特徴によると、半導体装置のレイアウト構造において、ウェーハ上に所定の間隔において、複数のチップが形成されるチップ領域と、チップ領域各々に形成される複数のボンディングパッドと、ウェーハ上に形成される複数のスクライブライン領域と、チップのテスト動作する時、テスト信号を提供してもらう複数のダミーパッド及び、チップとそれに対応するダミーパッドを電気的に連結する複数の導電線を含むが、ダミーパッドはスクライブライン領域で形成されることを特徴とする。

【0015】この実施の形態において、チップ領域が各々分離された後、導電線が各チップ領域のエッジで相互電気的に連結される時、連結された導電線を電気的に分離するための分離手段を付加的に含むが、分離手段は各々対応するダミーパッド及び回路間の対応するチップ領域に配列される複数のヒューズから構成されることを特徴とする。

【0016】この実施の形態において、テスト動作する時、テスト信号中、チップに共通で提供される少なくとも一つのテスト信号はダミーパッド中、一つのパッドを通じて隣接するチップに共通で提供されることを特徴とする。

【0017】本発明の他の特徴によると、半導体装置のレイアウト構造において、ウェーハ上に複数のチップが

形成されるチップ領域と、チップ各々は複数の他の内部電圧を発生する回路を具備し、ウェーハ上に形成される複数のスクライブライン領域と、スクライブライン領域に各々形成され、チップ各々の他の内部電圧を測定するための第1のダミーパッドと、スクライブライン領域に各々形成され、チップのテスト動作する時、テスト信号を提供してもらう第2のダミーパッド及び、チップ各々に対応する第1のダミーパッドと他の内部電圧を発生する回路を電氣的に連結するそして、チップとそれに対応する第2のダミーパッドを電氣的に連結する複数の導電線を含むことを特徴とする。

【0018】この実施の形態において、チップ領域が各々分離された後、導電線が各チップ領域のエッジで相互電氣的に連結される時、連結された導電線を電氣的に分離するための分離手段を付加的に含み、分離手段は各々対応するダミーパッド及び回路の間の対応するチップ領域に配列される複数のヒューズから構成されることを特徴とする。

【0019】この実施の形態において、テスト動作する時、テスト信号中、チップに共通で提供される少なくとも一つのテスト信号は第2のダミーパッド中、一つのパッドを通じて隣接するチップに共通で提供されることを特徴とする。

【0020】このような構造により、パッケージ段階で切られるスクライブライン領域にチップ各々に対応するダミーパッドを形成するにより、チップ内に配列されるパッドの数を減少させることができる。

【0021】

【発明の実施の形態】以下、本発明の実施の形態について図3ないし図4に基づいて詳細に説明する。

【0022】以下の説明では、本発明の理解を容易にするために、特定の例を示して詳細に説明される。しかしながら、当該技術分野で通常の知識を持つ者であれば、本発明の実施の形態に示したように詳細に限定しなくても、前記した構成のみにより実施できることは理解できるであろう。

【0023】図4を参照すると、本発明の新規な半導体装置のレイアウト構造において、各チップ内に提供されるダミーパッド20及びボンディングパッド26のうち、ダミーパッド20はスクライブライン領域(scribe line area)100上に形成されている。チップサイズ減少の制限要因として作用するパッドのうち、ダミーパッド20がウェーハレベルで本来の機能を遂行し、パッケージレベルで除去されることにより、チップ内に形成されるパッドの数を減少させることができる。

【0024】図3はチップ領域及びスクライブライン領域が定義されたウェーハ(wafer)を示す図面である。

【0025】図3を参照すると、ウェーハは、周知のよ

うに複数のチップが形成されるチップ領域(chip area)とスクライブライン領域(scribe line area)で定義される。ここで、スクライブライン領域はパッケージレベルで各チップを分離するためによく知られる領域である。図3で、本発明によるレイアウト構造によるスクライブライン領域及びチップ領域を含んだ点線部分が図4に詳細に図示されている。以下、本発明による半導体装置のレイアウト構造は半導体メモリ装置を一例として説明される。

【0026】半導体メモリ装置の概略的な生産過程は生産ウェーハ加工及び工程段階、ウェーハテスト段階、リフエア段階、パッケージ段階、パッケージテスト段階及び出荷段階で区分される。ウェーハ加工及び工程段階で、設計が完了された回路パターンがウェーハ上に加工される。

【0027】続いて、ウェーハテスト段階で、加工が完了されたウェーハの各チップをテストして正常的なチップ(pass)と不良チップ(fail)を選り分けると共に、リフエアが要求されるセルをリダンダンシセルで代替するための情報を発生する。そして、チップを駆動するための他のレベルを持つDC電圧を測定した情報を発生する。ここで、DC電圧は工程する時、トランジスタ特性により所定の基準レベルより高くなったり低くなることができるので、DC電圧のレベルを測定して次の段階のリフエア段階する時、適正レベルで再調整されなければならない。

【0028】通常的に、DC電圧は内部電源電圧VIN、ビットラインプリチャージ電圧VBL、ディラムセルのプレート電圧VP、内部電源電圧より高いレベルの高電圧VPP、バックバイアス(back bias)電圧VBB等である。

【0029】リフエア(要すると、リダンダンシセル代替)段階で、以前段階で、提供されるリフエア情報により欠陥セルをリダンダンシセルに代替し、DC電圧を要求されるレベルで再調整する。この時、通常的に、レーザーヒューズカッティング(laser fuse trimming)により再調整される。以後、パッケージ段階及びパッケージテスト段階を通じて通過されることだけが出荷される。

【0030】ウェーハレベルでDC電圧をテストし、そして、テスト信号を提供してもらうダミーパッド20は、図4に図示されたように、スクライブライン領域100上に形成されている。スクライブライン領域100上に形成されるダミーパッド20は対応する導電線22を通じて関連された回路(要すると、DC電圧を発生するための電圧発生回路)に電氣的に連結されている。

【0031】ダミーパッド20と対応する関連された回路を電氣的に連結する導電線22はチップを分離する時、すなわち、スクライブライン領域100を従って、ウェーハをカッティングする時、電氣的に連結されるこ

とができる。これを防止するために、各導電線22にはダミーパッド20と対応する関連された回路の間のチップ領域に分離手段として各々対応するヒューズ24が直列で連結されている。

【0032】スクライブライン領域100上に形成されるダミーパッド20のうち、DC電圧を測定するためのダミーパッドは各チップごとに提供されなければならない。しかし、テストする時、共通で提供される少なくとも一つのテスト信号を受け入れるための少なくとも一つのダミーパッド28は各チップごとに提供される必要はない。すなわち、図4に図示されたように、隣接したチップ同士で共通のテスト信号を提供するため、ダミーパッド28が隣接したチップ同士で使用することができる。本実施の形態で、便宜上一つのダミーパッド28が四つの隣接したチップに共通に使われたが、より多くのチップに対して共通に使用できることも自明である。

【0033】以上、本発明による回路の構成及び動作を前記した説明及び図面により図示したが、これは例で説明したことですでなく、本発明の技術的思想及び範囲を外さない範囲内で多様な変化及び変更ができることは勿論である。

【0034】

【発明の効果】前記したように、パッケージのピンにボンディングされなく、但しテスト段階で使われるダミーパッドをスクライブライン領域に形成するにより、チ

ップサイズ減少の制限要因として作用するダミーパッドの数を減少させることができる。

【図面の簡単な説明】

【図1】 ダミー及びボンディングパッドがチップがエッジ部分に配列される時、チップサイズの縮小によるパッドの配列を示す図面である。

【図2】 ダミー及びボンディングパッドがチップの中央部分に配列される時、チップサイズの縮小によるパッドの配列を示す図面である。

【図3】 チップ領域及びスクライブライン領域が定義されたウェーハ(wafer)を示す図面である。

【図4】 本発明による半導体装置のレイアウト構造を示す図面である。

【符号の説明】

10：パッケージ

12：チップ

14：セル領域

16：回路領域

18：ウェーハ

20、28：ダミーパッド

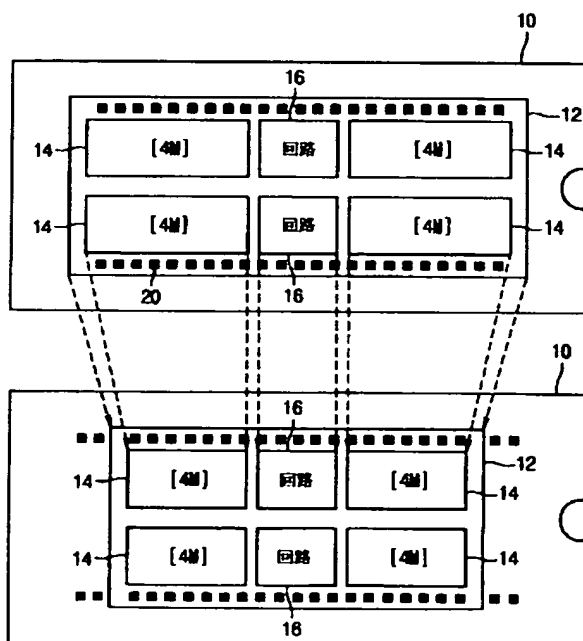
22：導電線

24：ヒューズ

26：ボンディングパッド

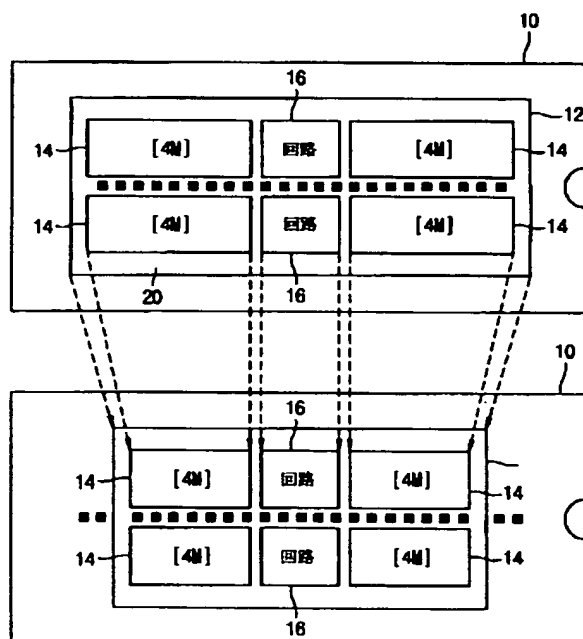
100：スクライブライン領域

【図1】



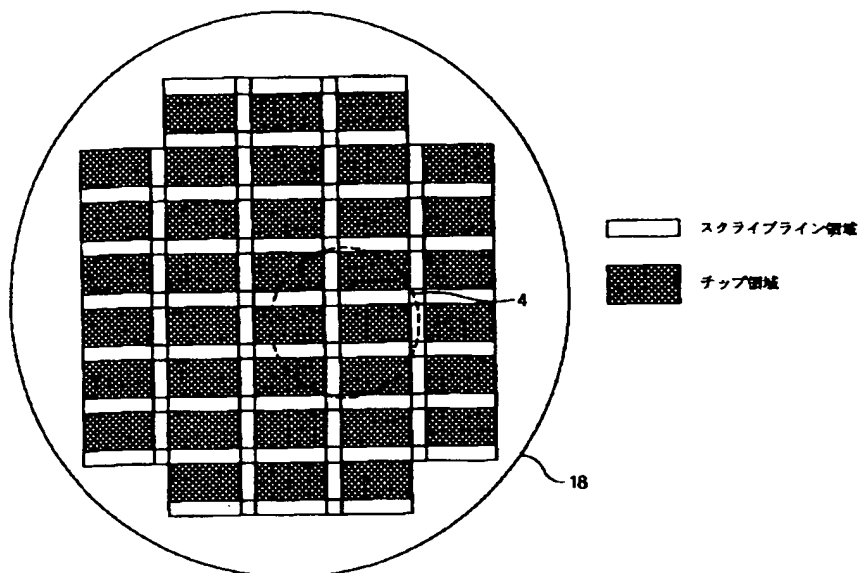
■：PAD

【図2】

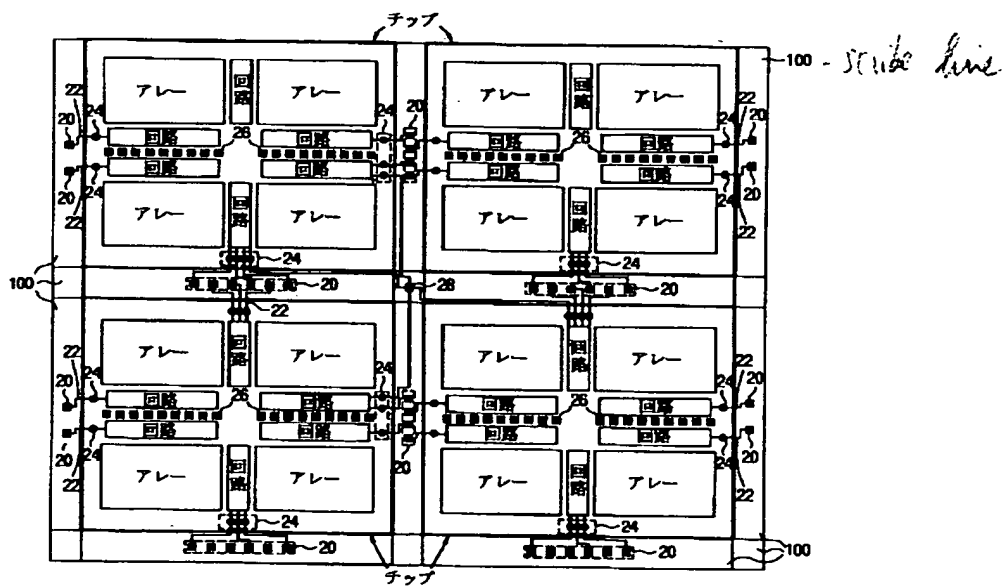


■：PAD

【図3】



【図4】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/108

21/8242